

104年公務人員升官等考試、104年關務人員升官等考試
104年交通事業公路、港務人員升資考試試題

代號：16130
16230

全一張
(正面)

等 級：簡任

類科(別)：電子工程、電信工程

科 目：高等電子電路學研究 (包括類比與數位)

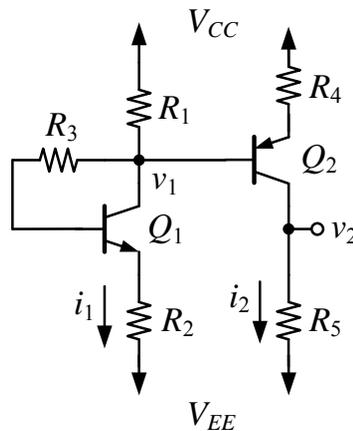
考試時間：2 小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

- 一、電晶體電路如下圖，其中電晶體 Q_1 與 Q_2 性能相同，偏壓於主動區時 $|V_{BE}| = 0.7 \text{ V}$ ，電流增益趨近無窮大 ($\beta = \infty$)，於飽和區時 $V_{CE} = 0.2 \text{ V}$ 。又 $V_{CC} = +5 \text{ V}$ ， $V_{EE} = -5 \text{ V}$ ， $R_1 = 5 \text{ k}\Omega$ ， $R_2 = 15 \text{ k}\Omega$ ， $R_3 = R_4 = R_5 = 10 \text{ k}\Omega$ 。試算標示的電壓 v_1 及 v_2 ，與電流 i_1 及 i_2 。(20 分)

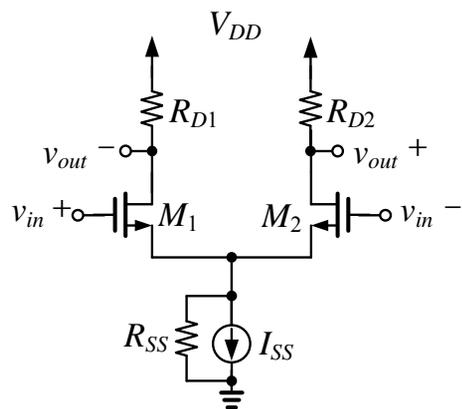


- 二、如圖(a)之放大器，電晶體 $M_{1,2}$ 參數： $g_m = 1 \text{ mA/V}$ 及 $\lambda = 0$ ， $V_{DD} = 5 \text{ V}$ ，電流源 $I_{SS} = 1 \text{ mA}$ ，並聯之電阻 $R_{SS} = 1 \text{ k}\Omega$ ，具有不對稱的負載電阻， $R_{D1} = 10.1 \text{ k}\Omega$ ， $R_{D2} = 9.9 \text{ k}\Omega$ 。(每小題 10 分，共 30 分)

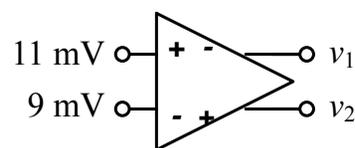
(一)試算此電路之輸入直流位移電壓 (dc offset voltage)。

(二)試算此電路之共模抑制比率 (common-mode rejection ratio)。

(三)將此單級放大器串接如圖(b)，輸入小訊號 11 mV 在正端， 9 mV 在負端。試算輸出之 v_1 及 v_2 電壓分別為多少？



圖(a)



圖(b)

(請接背面)

104年公務人員升官等考試、104年關務人員升官等考試
104年交通事業公路、港務人員升資考試試題

代號：16130
16230

全一張
(背面)

等 級：簡任

類科(別)：電子工程、電信工程

科 目：高等電子電路學研究 (包括類比與數位)

三、下圖電路可以做為數位電路之正反器使用，當 $v_{in} < v_{IL}$ 時，輸出邏輯 1，當 $v_{in} > v_{IH}$

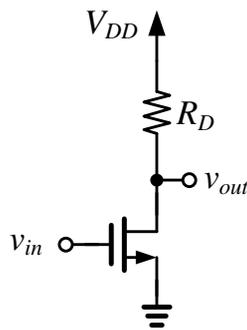
則輸出邏輯 0。電晶體參數： $k_n = \mu_n C_{ox} \left(\frac{W}{L} \right) = 450 \frac{\mu A}{V^2}$ ，截止電壓 $V_{TH} = 1 V$ ，及

$\lambda = 0$ 。電路之 $V_{DD} = 5 V$ ， $R_D = 5 k\Omega$ 。(每小題 10 分，共 30 分)

(一) 試算此電路輸出邏輯 1 之最高輸出電壓 v_{OH} 與邏輯 0 之最低輸出電壓 v_{OL} 。

(二) 輸入之截止電壓 v_{IL} 與 v_{IH} ，通常定義為電壓轉換曲線上斜率等於 -1 之兩個輸入電壓，意即 $\frac{dv_O}{dv_I} = -1$ 之處。試算此電路之截止電壓 v_{IL} 與 v_{IH} 。

(三) 當此電路輸入訊號為邏輯 0 (電壓 0 V) 與 1 (電壓 V_{DD}) 變化之週期方波，所消耗之平均功率為多少？



四、試建立用 NAND 邏輯閘設計的 CMOS SR 正反器 (flip-flop)，列出其真值表、邏輯電路與 CMOS 電路。(20 分)