

類 科：電力工程、電子工程、電信工程
科 目：電子學概要
考試時間：1小時30分

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)本科目除專門名詞或數理公式外，應使用本國文字作答。

一、關於二極體，試說明：(每小題10分，共20分)

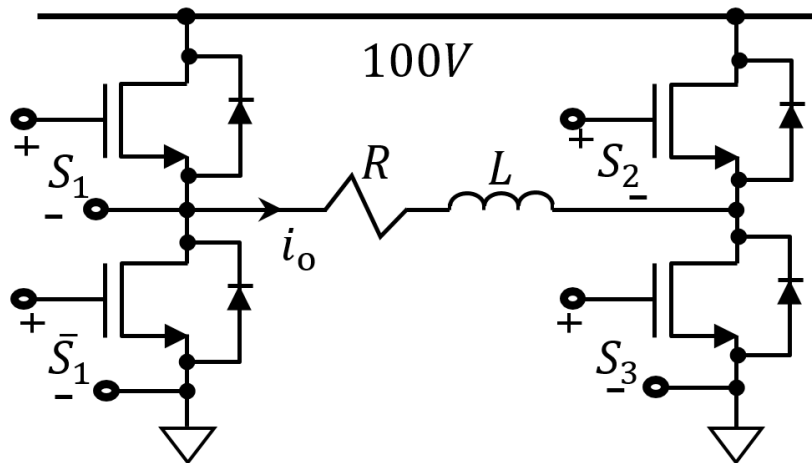
(一)二極體的空乏區 (Depletion Region) 形成的原因。

(二)空乏區的內建電位 (Built-in potential) 的來由。

二、如圖一所示之全橋電路，由四個增強型NMOS構成，輸入信號為週期性方波 S_1 與其反置信號 \bar{S}_1 ，使上下臂互鎖，如 S_1 為使NMOS導通之高電位，則 \bar{S}_1 為使NMOS關閉之低電位，反之亦然，負載為一電阻 $R=1\ \Omega$ 串聯一電感 $L=10\ \text{mH}$ 。(每小題10分，共20分)

(一)初始電流 i_o 為零， S_1 與 S_3 同為高電位， S_2 為低電位時，說明電流路徑且推導輸出電流 $i_o(t)$ 。

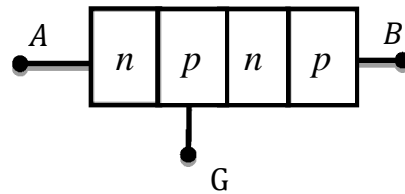
(二)初始電流為 $i_o=10\ \text{A}$ ， S_1 、 S_2 與 S_3 同為低電位，說明電流路徑且繪製輸出電流 i_o 波形，須標示時間終止時之電流， $0 \leq t \leq 2 \times 10^{-4}\ \text{sec}$ 。



圖一

三、如圖二之 $nnpn$ 四層結構元件， $v_G = 0$ 或 $5V$ 。(每小題10分，共20分)

- (一)當正極(A)連接在一個 100 VDC 電壓源正電壓端，且負極(B)連接在 $10\ \Omega$ 電阻負載一側，電阻負載另一側接該 100 VDC 電壓源負電壓端，試繪製該 $nnpn$ 四層結構元件之等效電路與電壓源及負載之電路，並說明 v_G 之電壓對該元件導通與否之影響。
- (二)當負極(B)連接在一個 100 VDC 電壓源正電壓端，且正極(A)連接在 $10\ \Omega$ 電阻負載一側，電阻負載另一側接該 100 VDC 電壓源負電壓端，試繪製該 $nnpn$ 四層結構元件之等效電路與電壓源及負載之電路，並說明 v_G 之電壓對該元件導通與否之影響。



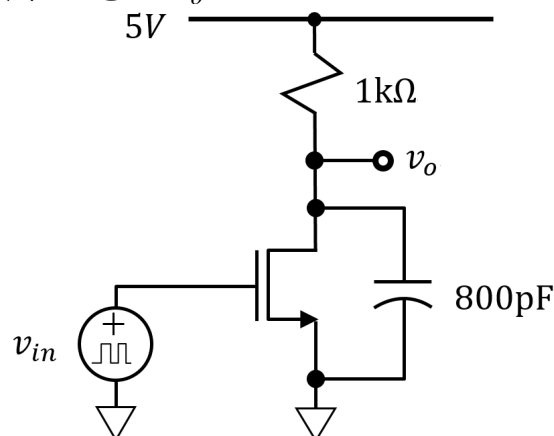
圖二

四、一操作放大器，其增益帶寬積 (Gain-bandwidth product; GBW) 為 10 MHz ，最大增益為 20 dB ，做成一單位增益緩衝器 (unity gain buffer) 電路。(每小題10分，共20分)

- (一)繪製並推導該單位增益緩衝器 $V_o(j\omega)/V_{in}(j\omega)$ 的頻率響應。
- (二)求取其在 10 MHz 之增益與相位角。

五、如圖三所示的 NMOS 反向器 (Inverter) 電路，其NMOS之 $V_{Tn} = 2V$ 且 $v_{in} = 0/5V$ 的脈衝波 (Pulse Train)。該NMOS的轉導 (Transconductance) 為 100 姆歐 ，且於 $v_{in} = 5V$ 時的飽和電流為 10 A 。該脈衝波於 20% 責任週期 (duty cycle) 與 500 kHz 下切換。(每小題10分，共20分)

- (一)於NMOS開始導通後排出 800 pF 電容內的 99% 電荷所需時間。
- (二)推導NMOS開始關閉至下一次NMOS開始導通之輸出電壓 v_o 時間響應函數，並計算最高輸出電壓 v_o 。



圖三