

等 別：高考二級  
類 科：電子工程  
科 目：積體電路技術  
考試時間：2 小時

座號：\_\_\_\_\_

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)請以黑色鋼筆或原子筆在申論試卷上作答。

(四)本科目除專門名詞或數理公式外，應使用本國文字作答。

- 一、一般 CMOS 的 NAND 基本邏輯閘具有兩個輸入端  $x$  與  $y$ ，以及一個輸出端  $f$ ，請使用 nMOS 與 pMOS 電晶體畫出此邏輯閘的電路圖，並說明其工作原理。又請指出那些電晶體會 body effect，請說明原因。(25 分)
- 二、在 CMOS 積體電路製程中常用的絕緣體有氮化矽 ( $\text{Si}_3\text{N}_4$ ) 與二氧化矽 ( $\text{SiO}_2$ )，請解釋為何不使用純的氮化矽為閘極的絕緣層材料？並請解釋使用二氧化矽為閘極絕緣層材料在新世代積體電路製程中所面臨的瓶頸為何？(25 分)
- 三、在目前的積體電路製程中，除了使用 p-well 與 n-well 的 twin-well 分別置放 nMOS 與 pMOS 電晶體之外，也常用淺溝槽隔離 (shallow trench isolation, STI) 來隔離電晶體。請說明淺溝槽隔離的製造流程。(25 分)
- 四、波長為 193 nm 的深紫外光光源一直使用到 7 nm 的製程，而後在 5 nm 以後的製程中才廣泛使用 13.5 nm 的極紫外光當作光源。請說明有那些解析度增強技術的組合使用，讓 193 nm 的深紫外光光源能夠一直使用到 7 nm 的製程中。(25 分)