

等 別：高考二級
類 科：電子工程
科 目：高等電子電路學（包括類比與數位）
考試時間：2小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)請以黑色鋼筆或原子筆在申論試卷上作答。

(四)本科目得以本國文字或英文作答。

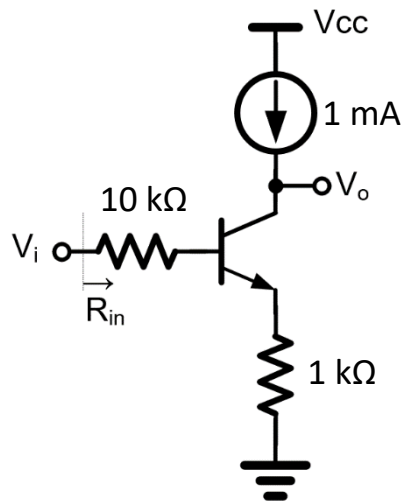
一、圖一之 npn BJT 操作於 Active Mode (偏壓電路省略)，其 $\beta = 100$ ， $r_o = \infty \Omega$ ， $V_T = 25 \text{ mV}$ ， V_{BE} 之壓降為 0.7 V ，

試求值：

(一) $g_m = ? \text{ mA/V}$ (5 分)

(二) $r_\pi = ? \Omega$ (5 分)

(三) $R_{in} = ? \Omega$ (10 分)

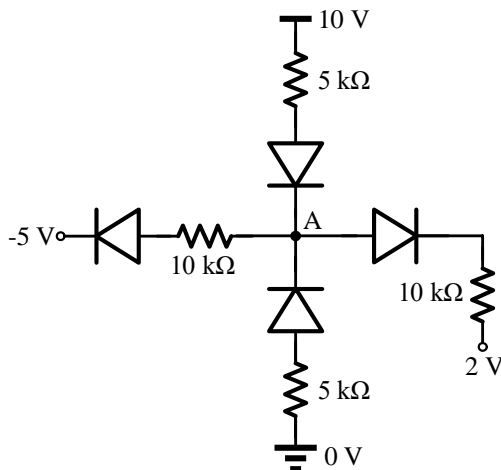


圖一

二、如圖二，由二極體及電阻器所形成之電路，圖中之二極體導通後之電阻值為 $0\ \Omega$ ，試求：

(一)假如二極體之導通電壓 $V_{D,on} = 0\ \text{V}$ ，求 A 點電壓值為何？(10 分)

(二)假如二極體之導通電壓 $V_{D,on} = 0.7\ \text{V}$ ，求 A 點電壓值為何？(10 分)

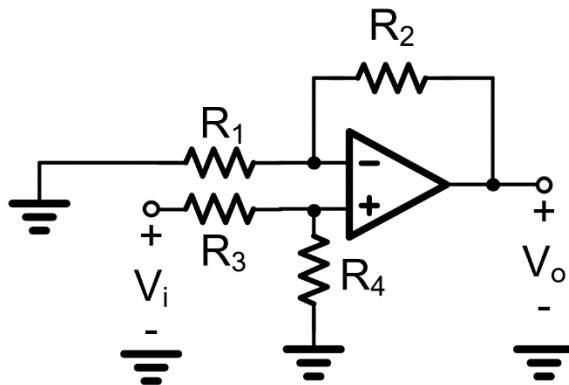


圖二

三、如圖三，由運算放大器及電阻所構成之放大電路中，其中之電阻值 $R_1 = R_3 = 5\ \text{k}\Omega$ ， $R_2 = R_4 = 10\ \text{k}\Omega$ 。

(一)若此理想運算放大器之差動增益為無限大，求 $V_o/V_i = ?\ (\text{V/V})$ (10 分)

(二)若此運算放大器之差動增益為 100，求 $V_o/V_i = ?\ (\text{V/V})$ (10 分)

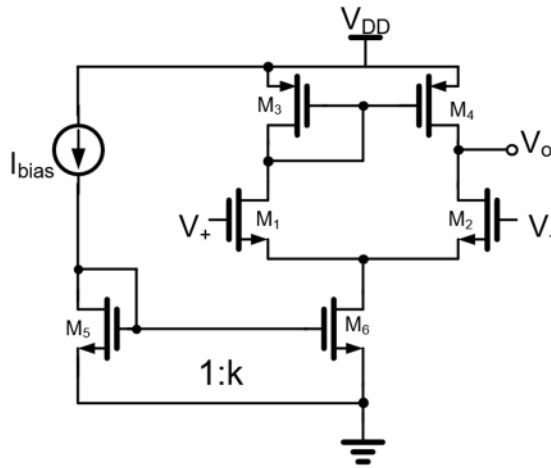


圖三

$$\text{四、} \begin{cases} \mu_n C_{ox} \left(\frac{W_n}{L_n} \right) = \mu_p C_{ox} \left(\frac{W_p}{L_p} \right) = 8 \text{ mA/V}^2 & I_{bias} = 1 \text{ mA} \\ V_{tn} = -V_{tp} = 0.5 \text{ V} & |V_A| = \lambda_n^{-1} = |\lambda_p^{-1}| = 100 \text{ V} \text{ 代入計算} \end{cases}$$

如圖四為單級之差動放大器，依上述元件參數，試回答下列問題，其中 $I_{bias} = 1 \text{ mA}$ 。同時在求各種計算時，除 r_o 的分析，其他如 V_{ov} 、 g_m 等均可不考慮 V_A 的影響。又計算值可適當化簡， $g_m r_o + 1 \cong g_m r_o$ 即可
假如 M_5 M_6 之比例 $k=2$ ，試求：

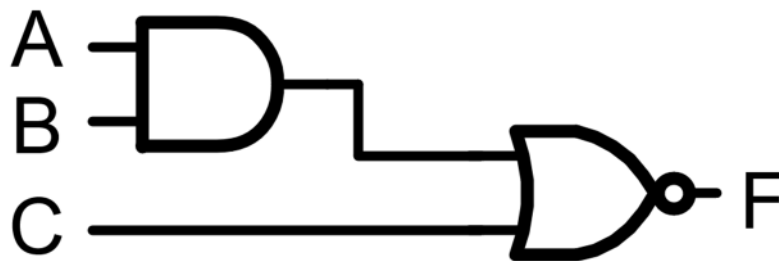
- (一) 求 MOS M_1/M_2 之 $g_{m1} = g_{m2} = ? \text{ mA/V}$ (10 分)
- (二) 求 V_o 點之 $R_o = ? \text{ k}\Omega$ (10 分)



圖四

五、請依要求完成圖五的邏輯電路

- (一) 以 Static CMOS 邏輯電路設計，NMOS 與 PMOS 要有對偶關係 (duality)。(10 分)
- (二) 以 Dynamic CMOS 電路設計，且令控制時脈 $CK=0$ 時為 Precharge 狀態，控制時脈 $CK=1$ 時為 Evaluation 狀態。(10 分)



圖五