

等 別：高考二級

類 科：電子工程

科 目：電子元件

考試時間：2小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)請以黑色鋼筆或原子筆在申論試卷上作答。

(四)本科目除專門名詞或數理公式外，應使用本國文字作答。

一、矽半導體於常溫下 (300 K) 之本質載子濃度 (intrinsic carrier concentration) n_i 為 $1.5 \times 10^{10} \text{ cm}^{-3}$ ，均勻摻雜 N_A (acceptor) = $5 \times 10^{15} \text{ cm}^{-3}$ 及 N_D (donor) = $8 \times 10^{14} \text{ cm}^{-3}$ ，已知電洞之位移率 (mobility) $\mu_p = 480 \text{ cm}^2/\text{V}\cdot\text{s}$ ，電子之位移率 $\mu_n = 1350 \text{ cm}^2/\text{V}\cdot\text{s}$ ， $q = 1.6 \times 10^{-19} \text{ C}$ 。

(每小題 10 分，共 20 分)

(一)求該半導體之電導率 (conductivity) $\sigma_1 = ?$

(二)若減少摻雜為 $N_A = 5 \times 10^{14} \text{ cm}^{-3}$ 但 $N_D = 8 \times 10^{14} \text{ cm}^{-3}$ 不變，其電導率變為 σ_2 ，求比例 $\sigma_1/\sigma_2 = ?$

二、矽半導體能帶隙中適當的缺陷 (trap) 可提供做為電子與電洞對的產生與復合中心 (generation-recombination center)，已知 p-型矽之 $p_0 = 1 \times 10^{15} \text{ cm}^{-3}$ ，常溫下矽材料之 n_i 為 $1.5 \times 10^{10} \text{ cm}^{-3}$ 。(每小題 10 分，共 20 分)

(一)當電子電洞濃度因外在因素被移除，使得 $np \ll n_i^2$ 成立，此時該 trap 是扮演淨產生或是淨復合為主的變動角色？若少數載子之該機制相關壽命為 $\tau = 3 \times 10^{-6} \text{ s}$ ，則在該機制下之淨變動速率為何？

(二)當電子電洞濃度因外在因素造成濃度增加，使得 $np > n_i^2$ ，在低位準注入 (low level injection) 條件下，多數載子假設幾乎不變 $p \approx p_0$ ，但少數載子增加，此時該 trap 是扮演淨產生或是淨復合為主的變動角色？在 $n_1 = 9n_0$ 時之該機制淨變動速率為 x_1 ，在 $n_2 = 5n_0$ 為 x_2 ，求 $x_1/x_2 = ?$

三、PN 二極體在 P 區與 N 區的摻雜濃度分別為 N_A 與 N_D ，已知 $N_A = N_D = 2 \times 10^{15} \text{ cm}^{-3}$ ，常溫下矽之 n_i 為 $1.5 \times 10^{10} \text{ cm}^{-3}$ ， $1 \text{ kT}/q = 0.0259 \text{ V}$ ，介電常數 (dielectric constant) 為 11.7， $\epsilon_0 = 8.85 \times 10^{-14} \text{ F/cm}$ ， $q = 1.6 \times 10^{-19} \text{ C}$ 。

(每小題 10 分，共 20 分)

(一)求熱平衡下空乏區內之內建電場 (built-in field) 最大值為多少？

(二)當加上反偏壓使得空乏區內最大電場達 $3 \times 10^5 \text{ V/cm}$ 時，二極體出現累增崩潰 (avalanche breakdown)，求崩潰電壓 V_B 值約為多少？

- 四、已知金屬與 n-型矽接面形成蕭基位障二極體，利用反偏壓下的單位面積電容值 C' 變化可以萃取出元件的重要參數。（每小題 10 分，共 20 分）
- (一)請說明如何由 C' 的量測與分析求得內建電位障 (built-in potential barrier) V_{bi} 與 n-型矽的摻雜濃度 N_D ？
- (二) a 與 b 兩元件在固定順偏壓下的蕭基位障高度 (Schottky barrier height) 分別為 $\phi_{Ba}=0.5\text{ V}$ 與 $\phi_{Bb}=0.6\text{ V}$ ，假設其他參數均相同， $1\text{ kT}/q=0.0259\text{ V}$ ，兩元件的電流比例 $J_a/J_b=?$
- 五、金屬氧化層半導體 MOS 元件，已知半導體為 p-型矽，摻雜濃度為 $N_A=2\times 10^{15}\text{ cm}^{-3}$ ，金屬與半導體之功函數差 (work function difference) $\phi_{ms}=-0.8\text{ V}$ ，假設氧化層與矽介面存在固定電荷 (fixed charge) $Q_f/q=2\times 10^{11}\text{ cm}^{-2}$ ，氧化層 SiO_2 厚度為 40 nm ， SiO_2 介電常數為 3.9，Si 介電常數為 11.7， $\epsilon_0=8.85\times 10^{-14}\text{ F/cm}$ ，常溫下矽之 n_i 為 $1.5\times 10^{10}\text{ cm}^{-3}$ ， $1\text{ kT}/q=0.0259\text{ V}$ ， $q=1.6\times 10^{-19}\text{ C}$ 。（每小題 10 分，共 20 分）
- (一)求元件之平能帶電壓 (flat-band voltage) $V_{FB}=?$
- (二)當偏壓至半導體表面呈現強反轉 (strong inversion) 時，元件進入臨限區 (threshold region)，元件偏壓為 V_{TH} (threshold voltage)，令氧化層電容值為 C_{ox} ，在上述 V_{TH} 下的元件整體高頻電容值為 $C(V_{TH})$ ，求電容值比例 $C(V_{TH})/C_{ox}=?$